

Searching PAJ

第1頁, 共1頁

Cite No. 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-305107

(43)Date of publication of application : 02.11.2000

(51)Int.Cl.

G02F 1/136

G09F 9/00

G09F 9/30

H01L 29/786

H01L 21/336

(21)Application number : 11-116405

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 23.04.1999

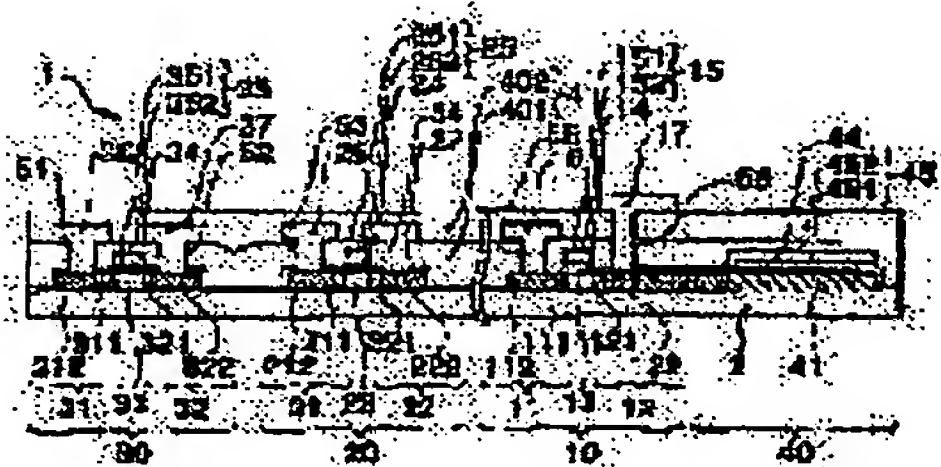
(72)Inventor : KITAWADA KIYOBUMI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent a gate electrode from releasing, besides to enhance productivity of the device and furthermore to repair defects in a dielectric film of a capacitive element generated in implanting impurities in the semiconductor device which comprises TFTs (thin film transistors) and the capacitive element formed on the same substrate and a method for its manufacturing.

SOLUTION: The method for manufacturing an active matrix substrate (a semiconductor device) comprises, forming tantalum films on surfaces of gate insulating films 14, 24, 34 composed of silicon oxide films and a dielectric film 44, subsequently forming substrate layers 151, 251, 351, 451 composed of tantalum oxide films by oxidizing the tantalum films and thereafter forming tantalum electrode layers 152, 252, 352, 452 on the surfaces of the substrate layers to form gate electrodes 15, 25, 35 of TFTs and a second electrode 45 of a capacitive element. The oxidation to the tantalum films is carried out by heat treatment under a highly humid atmosphere so as to remove defects previously generated in implanting impurities to semiconductor films via the gate insulating films and the dielectric film from the dielectric film 44.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-305107

(P2000-305107A)

(43) 公開日 平成12年11月2日 (2000.11.2)

(51) Int. Cl. ⁷	識別記号	FI	ターミナル (参考)
G02F 1/136	500	G02F 1/136	500 2H092
G09F 9/00	346	G09F 9/00	346E 5C094
	9/30		9/30 5F110
H01L 29/786		H01L 29/78	612A 5G435
21/336			616A

審査請求 未請求 請求項の数 9 OL (全 14 頁) 最終頁に続く

(21) 出願番号 特願平11-116405

(22) 出願日 平成11年4月23日 (1999.4.23)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区南新宿2丁目4番1号

(72) 発明者 北和田 清文

長野県諏訪市大和8丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100093388

弁理士 伊木 喜三郎 (外2名)

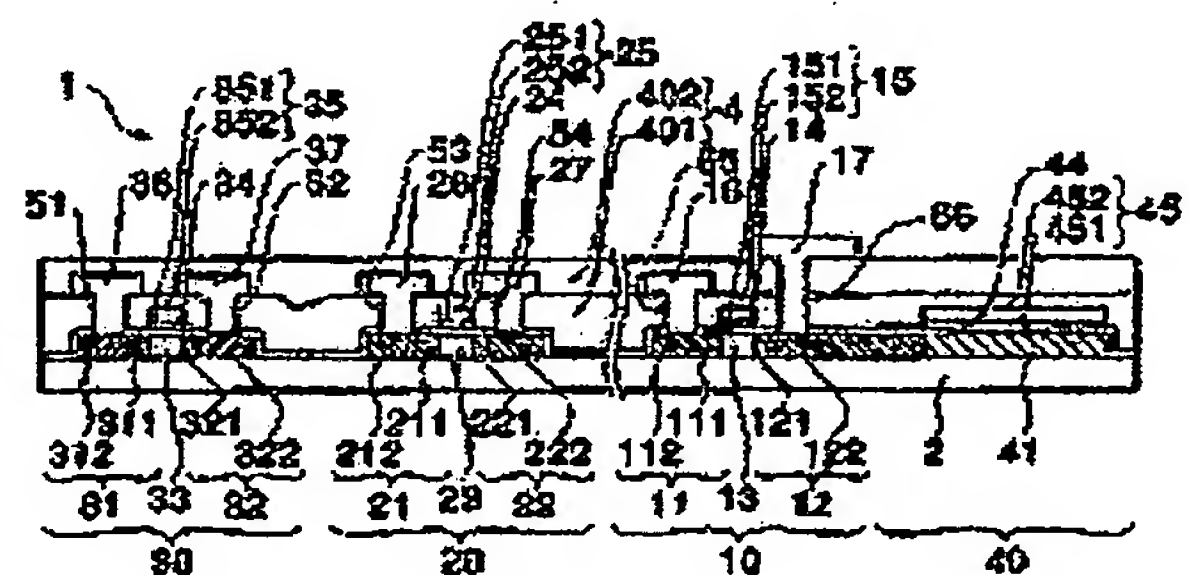
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 TFTと容量素子が同一基板上に形成された半導体装置およびその製造方法において、ゲート電極の剥離を防止するとともに、その生産性を高め、さらに、不純物を導入した際に発生した容量素子の誘電体膜の欠陥を修復することのできる構成を提供すること。

【解決手段】 アクティブマトリクス基板（半導体装置）の製造方法では、シリコン酸化膜からなるゲート絶縁膜14、24、34および誘電体膜44の表面にタンタル膜を形成した後、このタンタル膜を酸化させることによりタンタル酸化膜からなる下地層151、251、351、451を形成し、しかる後に下地層の表面にタンタル電極層152、252、352、452を形成してTFTのゲート電極15、25、35および容量素子の第2電極45を形成する。タンタル膜に対する酸化



1

【特許請求の範囲】

【請求項1】 基板上に薄膜トランジスタと、不純物が導入された半導体膜からなる第1電極、該第1電極を覆うように形成された誘電体膜、および該誘電体膜を介して前記第1電極に対向するように形成された第2電極を備える容量素子が形成された半導体装置において、前記薄膜トランジスタのゲート電極および前記第2電極は、タンタル酸化膜からなる第一層と、該第一層の表面に形成されたタンタルを主成分とする第二層とを備えていることを特徴とする半導体装置。

【請求項2】 請求項1において、前記第二層は、窒素含有のタンタル膜からなることを特徴とする半導体装置。

【請求項3】 請求項1または2において、前記薄膜トランジスタのゲート絶縁膜および前記誘電体膜は、いずれもシリコン酸化膜からなることを特徴とする半導体装置。

【請求項4】 請求項1ないし3のいずれかにおいて、前記薄膜トランジスタは、ソース・ドレイン領域が前記ゲート電極の端部にゲート絶縁膜を介して対峙する低濃度ソース・ドレイン領域、および該低濃度ソース・ドレイン領域に隣接する高濃度ソース・ドレイン領域を具備するLDD構造を備え、前記第1電極は、前記低濃度ソース・ドレイン領域と同一の不純物が同等の濃度でドーパされた半導体膜から形成されていることを特徴とする半導体装置。

【請求項5】 請求項1ないし3のいずれかにおいて、前記薄膜トランジスタは、ソース・ドレイン領域が前記ゲート電極の端部にゲート絶縁膜を介して対峙する低濃度ソース・ドレイン領域、および該低濃度ソース・ドレイン領域に隣接する高濃度ソース・ドレイン領域を具備するLDD構造を備え、前記第1電極は、前記高濃度ソース・ドレイン領域と同一の不純物が同等の濃度でドーパされた半導体膜から形成されていることを特徴とする半導体装置。

【請求項6】 請求項1ないし5のいずれかに規定する半導体装置の製造方法であって、ゲート絶縁膜および前記誘電体膜の表面に第1のタンタル膜を形成した後、該第1のタンタル膜を酸化させることによりタンタル酸化膜からなる前記第一層を形成し、しかる後に当該第一層の表面にタンタルを主成分とする前記第二層を形成することを特徴とする半導体装置の製造方法。

【請求項7】 請求項6において、前記第1のタンタル膜の酸化は、高湿度雰囲気中での熱処理により行うことを特徴とする半導体装置の製造方法。

【請求項8】 請求項7において、前記ゲート絶縁膜お

(2)

特開2000-305107

2

を形成し、しかる後に、当該第1のタンタル膜を高湿度雰囲気中での熱処理により酸化させることによりタンタル酸化膜からなる前記第一層を形成することを特徴とする半導体装置の製造方法。

【請求項9】 請求項7において、前記ゲート絶縁膜および前記誘電体膜を形成し、かつ、前記ゲート絶縁膜および前記誘電体膜の表面に前記第1のタンタル膜を形成した後に、前記薄膜トランジスタのソース・ドレイン領域および前記第2電極を構成する半導体膜に対して不純物を導入し、しかる後に、当該第1のタンタル膜を高湿度雰囲気中での熱処理により酸化させることによりタンタル酸化膜からなる前記第一層を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ（以下、TFTという。）および容量素子を有する液晶表示装置用あるいは電流駆動制御型表示装置用のアクティブマトリクス基板などといった半導体装置およびその製造方法に関するものである。さらに詳しくは、半導体装置に形成される電気素子の信頼性を向上するための技術に関するものである。

【0002】

【従来の技術】液晶表示装置の駆動回路内蔵型のアクティブマトリクス基板、あるいは電流駆動制御型表示装置用のアクティブマトリクス基板において、画素スイッチング素子、あるいは駆動回路を構成するスイッチング素子としてはTFTが用いられている。このTFTは、ゲート電極にゲート絶縁膜を介して対峙するチャネル領域、および該チャネル領域に接続するソース・ドレイン領域を備えている。また、アクティブマトリクス基板にはTFTとともに保持容量（容量素子）が形成されることがある。このような容量素子はTFTの製造工程を最大限、援用して形成される。すなわち、基板上に半導体膜を形成した以降、TFTのソース・ドレイン電極、ゲート絶縁膜およびゲート電極を、不純物をドーパした半導体領域、シリコン酸化膜およびタンタル膜として形成していく各工程において、容量素子の第1の電極、誘電体膜および第2の電極もそれぞれ、不純物をドーパした半導体領域、シリコン酸化膜およびタンタル膜として形成していく。

【0003】

【発明が解決しようとする課題】しかしながら、ゲート電極を構成するタンタル膜は、スパッタ形成したままではシリコン酸化膜などとの密着性が悪いため、剥離など

に起因する不良発生率が高くなる。

(3)

特開2000-305107

3

4

不純物を打ち込むことになる。このため、不純物を導入した際の欠陥が誘電体膜にそのまま残り、容量素子の第1電極と第2電極との間で短絡が発生しやすいという問題点がある。とりわけ、容量素子では、第1電極と第2電極との対向面積がそのまま容量値に反映するため、大きな容量値を得るには第1電極と第2電極との対向面積を大にする必要があるため、短絡が発生しやすい。

【0005】以上の問題点に鑑みて、本発明の課題は、TFTと容量素子が同一基板上に形成された半導体装置およびその製造方法において、ゲート電極の剥離を防止するとともに、その生産性を高めることのできる構成を提供することにある。

【0006】また、本発明の課題は、TFTと容量素子が同一基板上に形成された半導体装置およびその製造方法において、不純物を導入した際に発生した容量素子の誘電体膜の欠陥を修復することのできる半導体装置およびその製造方法を提供することにある。

【0007】

【課題を解決するための手段】上記課題を解決するために、本発明では、基板上にTFTと、不純物が導入された半導体膜からなる第1電極、該第1電極を覆うように形成された誘電体膜、および該誘電体膜を介して前記第1電極に対向するように形成された第2電極を備える容量素子とが形成された半導体装置において、前記TFTのゲート電極および前記第2電極は、タンタル酸化膜からなる第一層と、該第一層の表面に形成されたタンタルを主成分とする第二層とを備えていることを特徴とする。

【0008】本発明において、第二層は、タンタル酸化膜からなる第一層を介してゲート絶縁膜の表面に形成されているので、ゲート絶縁膜との密着性がよい。

【0009】本発明において、前記第二層は、窒素含有のタンタル膜からなることが好ましい。

【0010】本発明において、前記ゲート絶縁膜および前記誘電体膜は、たとえばシリコン酸化膜からなる。

【0011】本発明において、前記TFTは、ソース・ドレイン領域が前記ゲート電極の端部に前記ゲート絶縁膜を介して対峙する低濃度ソース・ドレイン領域、および該低濃度ソース・ドレイン領域に隣接する高濃度ソース・ドレイン領域を具備するLDD構造を備え、前記第1電極が、前記低濃度ソース・ドレイン領域と同一の不純物が同等の濃度でドーパされた半導体膜から形成されていることがある。

【0012】また、本発明において、前記TFTは、ソース・ドレイン領域が前記ゲート電極の端部に前記ゲ

ら形成される場合もある。

【0013】本発明に係る半導体装置の製造方法では、前記ゲート絶縁膜および前記誘電体膜の表面に第1のタンタル膜を形成した後、該第1のタンタル膜を酸化させることによりタンタル酸化膜からなる前記第一層を形成し、しかる後に当該第一層の表面に前記第二層を形成するための第2のタンタル膜を形成することが好ましい。すなわち、タンタル酸化膜をスパッタ法で直接形成しようとしても、広く一般的に行われているDCスパッタ法では不可能であり、RFスパッタ法を用いなければならないという制約があり、かつ、このような反応性スパッタ法は成膜速度が著しく遅いという問題点がある。また、第2のタンタル膜を後で形成することを考慮すると、ゲート電極を形成するだけで2種類のターゲットが必要でかつ、それぞれ別のチャンバー（反応室）が必要となるという問題点がある。しかるに、本発明では、ゲート絶縁膜および誘電体膜の表面に第1のタンタル膜を形成した後、この第1のタンタル膜を酸化させることによりタンタル酸化膜からなる第一層を形成するので、DCスパッタ法で対応でき、かつ、反応性スパッタ法と違って成膜速度が大である。それ故、生産性を高めることができる。また、タンタル膜を酸化させてタンタル酸化膜からなる第一層を形成するので、ゲート電極を形成する際に1種類のターゲット、および1つのチャンバー（反応室）で済むという利点がある。

【0014】このような第1のタンタル膜に対する酸化は、たとえば、高湿度雰囲気中での熱処理により行うことが好ましい。すなわち、半導体膜に不純物を導入して、TFTのソース・ドレイン領域、および容量素子の第1電極を同時に形成する工程において、ゲート絶縁膜および誘電体膜を介して半導体膜に不純物を打ち込んだ際の欠陥が誘電体膜に生成されても、第1のタンタル膜に対する酸化を高湿度雰囲気中での熱処理により行った場合には、ゲート絶縁膜および誘電体膜の欠陥も同時に修復されるという利点がある。

【0015】本発明において、前記ゲート絶縁膜および前記誘電体膜を形成し、かつ、前記TFTのソース・ドレイン領域および前記第2電極を構成する半導体膜に介して不純物を導入した後、前記ゲート絶縁膜および前記誘電体膜の表面に前記第1のタンタル膜を形成し、しかる後に、当該第1のタンタル膜を高湿度雰囲気中での熱処理により酸化させることによりタンタル酸化膜からなる前記第一層を形成することがある。

【0016】また、本発明においては、前記ゲート絶縁膜および前記誘電体膜を形成し、かつ、前記ゲート絶縁

膜および前記誘電体膜の表面に前記第1のタンタル膜を

5

化膜からなる前記第一層を形成することもある。このように構成すると、不純物を導入する際に第1のタンタル膜も障壁層になるので、半導体膜表面に不純物が集中することを防止できる。それ故、ゲート電極の表面に層間絶縁膜を形成した後、コンタクトホールを形成する際に半導体膜表面（ソース・ドレイン領域）が多少、エッチングされても、ソース・ドレイン電極とソース・ドレイン領域とを小さな接続抵抗で接続することができる。

【0017】

【発明の実施の形態】図面を参照して、本発明の実施の形態を説明する。

【0018】【アクティブマトリクス基板の全体構成】

図1は、液晶表示装置の構成を模式的に示すブロック図。図2は、本例の液晶表示装置における駆動回路内蔵型のアクティブマトリクス基板の構造を模式的に示す断面図である。

【0019】図1に示すように、液晶表示装置用のアクティブマトリクス基板1（半導体装置）上には、データ線90および走査線91が形成されている。走査線91には各画素において画素電極（後述する。）に接続する画素用TFT10のゲートが接続し、データ線90には画素用TFT10のソースが接続している。各画素には画素用TFT10を介して画像信号が入力される液晶セル94が存在する。データ線90に対しては、シフトレジスタ84、レベルシフタ85、ビデオライン87、アナログスイッチ88を備えるデータ線駆動回路60がアクティブマトリクス基板1上に形成されている。走査線91に対しては、シフトレジスタ88およびレベルシフタ89を備える走査線駆動回路70がアクティブマトリクス基板1上に形成されている。

【0020】各画素には、容量線98との間に保持容量40（容量素子）が形成され、保持容量40は、液晶セル94での電荷の保持特性を高める機能を有している。なお、保持容量40は前段の走査線91との間に形成されることもある。

【0021】いずれの場合でも、図2に一部の画素を抜き出して示すように、保持容量40は、画素用TFT10を形成するためのシリコン膜10a（半導体膜/図2に斜線を付した領域）の延設部分に相当するシリコン膜40aを導電化したものを第1電極41とし、この第1電極41に対して容量線98が第2電極45として重なった構造になっている。なお、前段の走査線91との間に保持容量40を形成する場合には、走査線91からの張り出し部分が第2電極45として第1電極41に重なった構造になる。なお、図2において、画素用TFT10

のゲート電極15は、走査線91の延長シリコン膜10a

(4)

特開2000-305107

5

（アクティブマトリクス基板の概略構成）このようにして各画素に形成した画素用TFT10および保持容量40のA-A'線における断面を図3の右側領域に示す。なお、液晶表示装置のアクティブマトリクス基板1には、同一の基板上に、駆動回路においてシフトレジスタなどを構成するP型の駆動回路用TFT30、およびN型の駆動回路用TFT20も形成されるので、これらの駆動回路用TFT30、20については図3の左側領域に示してある。

【0023】このようなN型の画素用TFT10、N型の駆動回路用TFT20、およびP型の駆動回路用TFT30は、いずれも、ソース・ドレイン領域11、12、21、22、31、32の間にチャネルを形成するためのチャネル領域13、23、33を有している。これらのチャネル領域13、23、33は、低濃度のボロニオンによってチャネルドープしてある場合には、不純物濃度が約 $1 \times 10^{17} \text{ cm}^{-3}$ の低濃度P型領域などとして構成される。このようチャネルドープを行うと、N型の駆動回路用TFT20およびP型の駆動回路用TFT30のスレッシュホールド電圧（ V_{th} ）を所定の値に設定できる。一般に、正孔の移動度は電子の移動度に比して小さいため、P型の駆動回路用TFTのオン電流はN型の駆動回路用TFTのオン電流に比して著しく小さい傾向にあるが、かかる問題点は、チャネルドープによって V_{th} を調整することにより、ほぼ解消できる。それ故、本例のアクティブマトリクス基板1では、CMOS回路を構成するTFT間におけるオン電流のバランスがよい。

【0024】N型の画素用TFT10、N型の駆動回路用TFT20、およびP型の駆動回路用TFT30は、チャネル領域13、23、33の表面側に対して、ゲート絶縁膜14、24、34（厚さが約300オングストローム～約2000オングストローム、好ましくは約1000オングストロームのシリコン酸化膜）を介して対峙するゲート電極15、25、35を有する。

【0025】ここで、各TFTのソース・ドレイン領域は、ゲート電極15、25、35に対してセルフアライン的、あるいはオフセットゲート構造に形成される場合があるが、本形態ではLDD構造に構成されている。従って、ソース・ドレイン領域11、12、21、22、31、32は、ゲート電極15、25、35の端部に対してゲート絶縁膜14、24、34を介して対峙する部分に低濃度ソース・ドレイン領域111、121、211、221、311、321を有している。従って、いずれのTFTにおいてもドレイン端における電界強度が

抑制された状態にあるので、チャネルと電極が著しくイ

(5)

特開2000-305107

7

8

励回路用TFT20、およびP型の駆動回路用TFT30のソース・ドレイン領域11、12、21、22、31、32のうち、低濃度ソース・ドレイン領域111、121、211、221、311、321を除く領域は、不純物濃度が約 $1 \times 10^{19} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域112、122、212、222、312、322である。これらの高濃度領域に対して、走査線、データ線や画素電極などのソース・ドレイン電極16、17、26、27、36、37がそれぞれ、下層側層間絶縁膜401または上層側層間絶縁膜402からなる層間絶縁膜4のコンタクトホール51、52、53、54、54、55、56を介して電気的に接続している。

【0027】また、保持容量40は、各TFTのソース・ドレイン領域と同一の層間において低濃度ソース・ドレイン領域111、121、211、221と同一の不純物が同等の濃度で導入された半導体膜からなる第1電極41、この第1電極41を覆うようにTFTのゲート絶縁膜14、24、34と同一の層間に形成された誘電体膜44、およびこの誘電体膜44を介して第1電極41に対向するようにTFTのゲート電極15、25、35と同一の層間に形成された第2電極45を備えている。

【0028】このような構造のアクティブマトリクス基板1において、いずれのTFT10、20、30においても、ゲート電極15、25、35は、シリコン酸化膜からなるゲート絶縁膜14、24、34の表面に膜厚が1000オングストローム以下の薄いタンタル酸化膜として形成された第一層である下地層151、251、351と、これらの下地層151、251、351の表面に膜厚が4000オングストローム位の厚いタンタル膜として第二層であるタンタル電極層とを備えている。タンタル電極層である第二層はタンタルを主成分とする材料により形成されている。タンタル電極層は152、252、352を示す。また、保持容量40の第2電極45も、シリコン酸化膜からなるゲート絶縁膜14、24、34の表面に膜厚が1000オングストローム以下の薄いタンタル酸化膜として形成された第一層である下地層451と、この下地層451の表面に膜厚が4000オングストローム位の厚いタンタル膜として形成され

14、24、34および誘電体膜44の表面に薄いタンタル酸化膜（下地層151、251、351）を形成し、その表面にタンタル電極層152、252、352、452を形成しているため、タンタル電極層152、252、352、452がシリコン酸化膜との密着性が悪くても、ゲート絶縁膜14、24、34および誘電体膜44の表面からタンタル電極層152、252、352、452が剥けることはない。

【0031】なお、図1に示す走査線91や容量線98も、ゲート電極15、25、35や第2電極45と同時に形成されるので、下地のシリコン酸化膜との密着性がよく、かつ、電気的抵抗が小さい。

【0032】（アクティブマトリクス基板の製造方法）このような構造のアクティブマトリクス基板1は、たとえば、以下の方法により製造できる。なお、以下の説明において、不純物濃度はいずれも、活性化アニール後の不純物濃度で表してある。

【0033】まず、図4(a)に示すように、石英基板やガラス基板などの絶縁基板2の表面に、CVD法、プラズマCVD法などを用いてアモルファスシリコン膜を形成した後、レーザアニール法または急速加熱法により結晶粒を成長させてポリシリコン膜とする。次に、ポリシリコン膜をフォトリソグラフィ法によってパターンニングして、画素用TFT10、N型の駆動回路用TFT20、P型の駆動回路用TFT30、および保持容量40の各形成領域にシリコン膜10a、20a、30a、40aを残す（シリコン膜形成工程）。

【0034】次に、TEOS-CVD法、100CVC法、プラズマCVD法、熱酸化法などにより、シリコン膜10a、20a、30a、40aの表面に厚さが約300オングストローム～約2000オングストロームのシリコン酸化膜からなるゲート絶縁膜14、24、34、および誘電体膜44を同時に形成する（ゲート絶縁膜形成工程）。ここで、熱酸化法を利用してゲート絶縁膜14、24、34、および誘電体膜44を形成する場合には、シリコン膜10a、20a、30a、40aの結晶化も行うことができるので、これらのシリコン膜をポリシリコン膜とすることができる。

【0035】チャネルドープを行う場合には、次に約 $1 \times 10^{11} \text{ cm}^{-3}$ のドーパント濃度でボロンイオン（P型不純物

7

動回路用TFT20、およびP型の駆動回路用TFT30のソース・ドレイン領域11、12、21、22、31、32のうち、低濃度ソース・ドレイン領域111、121、211、221、311、321を除く領域は、不純物濃度が約 $1 \times 10^{19} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域112、122、212、222、312、322である。これらの高濃度領域に対して、走査線、データ線や画素電極などのソース・ドレイン電極16、17、26、27、36、37がそれぞれ、下層側層間絶縁膜401または上層側層間絶縁膜402からなる層間絶縁膜4のコンタクトホール51、52、53、54、55、56を介して電気的に接続している。

【0027】また、保持容量40は、各TFTのソース・ドレイン領域と同一の層間において低濃度ソース・ドレイン領域111、121、211、221と同一の不純物が同等の濃度で導入された半導体膜からなる第1電極41、この第1電極41を覆うようにTFTのゲート絶縁膜14、24、34と同一の層間に形成された誘電体膜44、およびこの誘電体膜44を介して第1電極41に対向するようにTFTのゲート電極15、25、35と同一の層間に形成された第2電極45を備えている。

【0028】このような構造のアクティブマトリクス基板1において、いずれのTFT10、20、30においても、ゲート電極15、25、35は、シリコン酸化膜からなるゲート絶縁膜14、24、34の表面に膜厚が1000オングストローム以下の薄いタンタル酸化膜として形成された第一層である下地層151、251、351と、これらの下地層151、251、351の表面に膜厚が4000オングストローム位の厚いタンタル膜として第二層であるタンタル電極層とを備えている。タンタル電極層である第二層はタンタルを主成分とする材料により形成されている。タンタル電極層は152、252、352を示す。また、保持容量40の第2電極45も、シリコン酸化膜からなるゲート絶縁膜14、24、34の表面に膜厚が1000オングストローム以下の薄いタンタル酸化膜として形成された第一層である下地層451と、この下地層451の表面に膜厚が4000オングストローム位の厚いタンタル膜として形成されたタンタル電極層452とを備えている。

【0029】ここで、タンタル膜は、通常のスパッタ形成を行っただけでは、比抵抗の高い低温相であるため、本形態では、窒素を含有したタンタル膜をゲート電極15、25、35のタンタル電極層152、252、352、および第2電極45のタンタル電極層452として

(5)

特開2000-305107

8

14、24、34および誘電体膜44の表面に薄いタンタル酸化膜（下地層151、251、351）を形成し、その表面にタンタル電極層152、252、352、452を形成しているため、タンタル電極層152、252、352、452がシリコン酸化膜との密着性が悪くても、ゲート絶縁膜14、24、34および誘電体膜44の表面からタンタル電極層152、252、352、452が剥げることはない。

【0031】なお、図1に示す走査線91や容量線96も、ゲート電極15、25、35や第2電極45と同時に形成されるので、下地のシリコン酸化膜との密着性がよく、かつ、電気的抵抗が小さい。

【0032】（アクティブマトリクス基板の製造方法）このような構造のアクティブマトリクス基板1は、たとえば、以下の方法により製造できる。なお、以下の説明において、不純物濃度はいずれも、活性化アニール後の不純物濃度で表してある。

【0033】まず、図4（a）に示すように、石英基板やガラス基板などの絶縁基板2の表面に、CVD法、プラズマCVD法などを用いてアモルファスシリコン膜を形成した後、レーザアニール法または急速加熱法により結晶粒を成長させてポリシリコン膜とする。次に、ポリシリコン膜をフォトリソグラフィ法によってパターンニングして、画素用TFT10、N型の駆動回路用TFT20、P型の駆動回路用TFT30、および保持容量40の各形成領域にシリコン膜10a、20a、30a、40aを残す（シリコン膜形成工程）。

【0034】次に、TEOS-CVD法、100°CV法、プラズマCVD法、熱酸化法などにより、シリコン膜10a、20a、30a、40aの表面に厚さが約3000オングストローム～約20000オングストロームのシリコン酸化膜からなるゲート絶縁膜14、24、34、および誘電体膜44を同時に形成する（ゲート絶縁膜形成工程）。ここで、熱酸化法を利用してゲート絶縁膜14、24、34、および誘電体膜44を形成する場合に、シリコン膜10a、20a、30a、40aの結晶化も行うことができるので、これらのシリコン膜をポリシリコン膜とすることができる。

【0035】チャネルドープを行う場合には、次に約 $1 \times 10^{13} \text{ cm}^{-3}$ のドーパントでボロンイオン（P型不純物／第2導電型不純物）を打ち込む（チャネルドープ工程／1回目の不純物注入工程）。その結果、シリコン膜10a、20a、30a、40aは、不純物濃度が約 $1 \times 10^{13} \text{ cm}^{-3}$ の低濃度P型のシリコン膜となる。

【0036】次に、図4（b）に示すように、P型の画素用TFT10の形成領域10aの表面に、ゲート

9

量でイオン注入する（2回目の不純物注入工程／低濃度第1導電型不純物注入工程）。

【0038】その結果、低濃度P型のシリコン膜10a、20aのうち、リンイオンが打ち込まれた領域は、導電型が反転して不純物濃度が約 $2.9 \times 10^{14} \text{ cm}^{-3}$ の低濃度N型領域11a、12a、21a、22aとなる。また、低濃度P型のシリコン膜40aは、導電型が反転して不純物濃度が約 $2.9 \times 10^{14} \text{ cm}^{-3}$ の低濃度N型の第1電極41となる。また、不純物が注入されなかった部分がチャンネル領域13、23となる。しかる後に、レジストマスク101を除去する。

【0039】次に、図4(c)に示すように、ゲート絶縁膜14、24、34および誘電体膜44の表面に、膜厚が1000オングストローム以下の薄い第1のタンタル膜8aをスパッタ形成する。

【0040】次に、図4(d)に示すように、水蒸気を含む高湿度雰囲気中（たとえば、温度が約400℃）での熱処理により、第1のタンタル膜8a全体を酸化させることにより、下地層151、251、351、451（図4参照）を形成するためのタンタル酸化膜8bとする。その結果、第1のタンタル膜8a全体が酸化する過程でその下層にあるゲート絶縁膜14、24、34および誘電体膜44も、高湿度雰囲気中（たとえば、温度が約400℃）での熱処理を受ける。

【0041】次に、図5(a)に示すように、下地層151、251、351、451（図4参照）を形成するためのタンタル酸化膜8bの表面にタンタル電極層152、252、352、452（図4参照）を形成するための膜厚が4000オングストローム位の第2のタンタル膜8cをスパッタ形成する。この際に、スパッタガス中に窒素ガスを導入しておくことにより、第2のタンタル膜8cについては窒素含有のタンタル膜として形成する。

【0042】次に、図5(b)に示すように、ゲート電極15、25、35および第2電極45を形成すべき領域をレジストマスク105で覆い、第2のタンタル膜8cおよびタンタル酸化膜8bにエッチングを施す。

【0043】その結果、図5(c)に示すように、薄いタンタル酸化膜（下地層151、251、351、451の表面に窒素含有の薄いタンタル膜からなるタンタル電極層152、252、352、452が積層されたゲート電極15、25、35および第2電極45が形成される（ゲート電極形成工程）。しかる後に、レジストマスク105を除去する。

【0044】次に、N型の画素用TFT10の形成領域

域、N型の駆動回路用TFT20の形成領域、およびP型の

(6)

特開2000-305107

10

程／低濃度第2導電型不純物注入工程）。

【0046】その結果、低濃度P型のシリコン膜30aには、ゲート電極35に対してセルフアライン的に不純物濃度が約 $1.1 \times 10^{14} \text{ cm}^{-3}$ の低濃度P型領域31a、32aが形成される。なお、不純物が注入されなかった部分がチャンネル領域33となる。しかる後に、レジストマスク102を除去する。

【0047】次に、図5(d)に示すように、N型の画素用TFT10の形成領域、N型の駆動回路用TFT20の形成領域、および保持容量40を覆うとともに、ゲート電極35をやや広めに覆うレジストマスク103、あるいは金属マスクを形成する（3回目のマスク形成工程）。ここで、レジストマスク103の端部と、ゲート電極35の端部との距離は、0.5μm～2μm程度が適している。

【0048】続いて、ホロンイオンを約 $1 \times 10^{14} \text{ cm}^{-3}$ のドーズ量でイオン注入する（4回目の不純物注入工程／高濃度第2導電型不純物注入工程）。

【0049】その結果、低濃度P型領域31a、32aには、不純物濃度が $1 \times 10^{14} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域312、322が形成される。また、低濃度P型領域31a、32aのうち、レジストマスク103で覆われていた部分は、そのまま不純物濃度が約 $1.1 \times 10^{14} \text{ cm}^{-3}$ の低濃度ソース・ドレイン領域311、321となる。

【0050】このようにして、P型の駆動回路用TFT30を形成する。しかる後に、レジストマスク103を除去する。

【0051】次に、図5(e)に示すように、P型の駆動回路用TFT30に加えて、ゲート電極15、25をも広めに覆うレジストマスク104、あるいは金属マスクを形成する（4回目のマスク形成工程）。ここで、レジストマスク104の端部と、ゲート電極15、25の端部との距離は、0.5μm～2μm程度が適している。

【0052】続いて、リンイオンを $1.5 \times 10^{14} \text{ cm}^{-3}$ のドーズ量でイオン注入する（5回目の不純物注入工程／高濃度第1導電型不純物注入工程）。

【0053】その結果、低濃度N型領域11a、12a、21a、22aには、不純物濃度が $1.5 \times 10^{14} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域112、122、221、222が形成される。また、低濃度N型領域11a、12a、21a、22aのうち、レジストマスク104で覆われていた部分は、そのまま不純物濃度が約 $2.9 \times 10^{14} \text{ cm}^{-3}$ の低濃度ソース・ドレイン領域

11

形成した後、活性化のためのアニールを行い、しかる後に、コンタクトホール51、52、53、54、55、56およびソース・ドレイン電極16、17、26、27、36、37を形成すれば、レジストマスク101～104を形成するための4回のマスク形成工程と、5回の不純物注入工程によって、アクティブマトリクス基板1を製造できる。

【0056】このように、本形態のアクティブマトリクス基板1の製造方法では、タンタル電極層152、252、352、452とシリコン酸化膜（ゲート絶縁膜14、24、34および誘電体膜44）との密着性が悪いのを補うための薄いタンタル酸化膜からなる下地層151、251、351を形成するにあたって、第1のタンタル膜8aを形成した後、この第1のタンタル膜8aを酸化させることによりタンタル酸化膜8bを形成する。従って、第1のタンタル膜8aをスパッタ形成すればよいので、RFスパッタ法を用いなくとも、DCスパッタ法で対応できる。また、タンタル膜を形成するのであれば、反応性スパッタ法によりタンタル酸化膜を直接、形成するときの成膜速度に比してかなり大であるので、生産性が向上するという利点がある。また、ゲート電極15、25、35および第2電極45を形成する際には、1種類のターゲット、および1つのチャンバー（反応室）で済むという利点がある。

【0057】しかも、タンタル酸化膜からなる下地層151、251、351、451であれば、ゲート電極（第2電極）全体を窒素含有のタンタル膜にした場合や窒素含有のタンタル膜を下地層とした場合と違って、加熱した際に窒素含有のタンタル膜の内部応力に起因してゲート電極15、25、35や第2電極45がシリコン酸化膜から剥がれるおそれもない。

【0058】さらに、第1のタンタル膜8aに対する酸化は、高湿度雰囲気中での熱処理により行うので、図4（b）に示す工程において、ゲート絶縁膜14、24、34および誘電体膜44を介して不純物を打ち込んだ際の欠陥が誘電体膜44に生成されても、第1のタンタル膜8aに対する酸化を高湿度雰囲気中での熱処理により行った際に、誘電体膜44の欠陥も同時に修復されるという利点がある。それ故、耐電圧の高い誘電体膜44を形成できるので、対向面積が広い第1電極41と第2電極45との間で短絡が発生するのを確実に防止できる。

【0059】よって、ゲート電極15、25、35、および第2電極45を形成する前に、低濃度ソース・ドレイン領域111、121、211、221を形成するための低濃度第1導電型不純物注入工程を行い、この工程

を採用して、第1電極41を形成する方法を適用する。

(7)

特開2000-305107

12

造することができる。

【0060】なお、図5（c）に示す低濃度第2導電型不純物注入工程、図5（d）に示す高濃度第2導電型不純物注入工程、および図5（e）に示す高濃度第1導電型不純物注入工程の間でその順序を入れ換えるなど、ゲート電極15、25、35、および第2電極45を形成する前に第1電極41を形成するのであれば、いずれの工程順序であってもよい。また、不純物濃度についても、求めるTFT特性に応じて最適な条件に設定すればよい。

【0061】【第2の実施形態】

（アクティブマトリクス基板の概略構成）図6は、本形態の液晶表示装置における駆動回路内蔵型のアクティブマトリクス基板1の構造を模式的に示す断面図である。なお、本例のアクティブマトリクス基板では、各TFTの基本的な構造が、図3に示したアクティブマトリクス基板1と略同じであるため、以下の説明において、対応する機能を有する部分には、同じ符号を付してある。

【0062】図6において、本例の液晶表示装置の駆動回路内蔵型のアクティブマトリクス基板1でも、P型の駆動回路用TFT30、N型の駆動回路用TFT20、N型の画素用TFT10、および保持容量402が同一の絶縁基板2の上に形成されている。N型の画素用TFT10、N型の駆動回路用TFT20、およびP型の駆動回路用TFT30は、いずれもLDD構造を有し、いずれのTFTにおいても、チャネル領域13、23、33は、低濃度のボロンイオンによってチャネルドープしてあるため、不純物濃度が約 $1 \times 10^{17} \text{ cm}^{-3}$ の低濃度P型領域である。

【0063】このような構造のアクティブマトリクス基板1において、ゲート電極15、25、35および第2電極45は、シリコン酸化膜からなるゲート絶縁膜14、24、34および誘電体膜44の表面に膜厚が1000オングストローム以下の薄いタンタル酸化膜として形成された下地層151、251、351、451と、これらの下地層151、251、351の表面に膜厚が4000オングストローム位の厚いタンタル膜として形成されたタンタル電極層152、252、352、452とを備えている。従って、タンタル電極層152、252、352、452がシリコン酸化膜との密着性が悪くても、ゲート絶縁膜14、24、34および誘電体膜44の表面からタンタル電極層152、252、352、452が剥がれることはない。

【0064】本形態でも、窒素を含有したタンタル膜をゲート電極15、25、35のタンタル電極層152、

252、352、および第2電極45のタンタル電極層452に形成する。

13

【0065】なお、図1に示す走査線91や容量線98も、ゲート電極15、25、35や第2電極45と同時に形成されるので、下地のシリコン酸化膜との密着性がよく、かつ、電気的抵抗が小さい。

【0066】本例では、保持容量40の第1電極41は、N型の画素用TFT10、およびN型の駆動回路用TFT20の高濃度ソース・ドレイン領域112、122、212、222と同時に形成された不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ の高濃度N型領域である。その他の構成は、図3に示したアクティブマトリクス基板と同様なので、対向する部分には同一の符号を付して図示し、それらの説明を省略する。

【0067】（アクティブマトリクス基板の製造方法）このような構造のアクティブマトリクス基板1は、たとえば、以下の方法により製造できる。なお、以下の説明において、不純物注入条件などについては図4を参照して説明した製造方法と同様であるので、共通する部分については詳細な説明を省略する。

【0068】まず、図7(a)に示すように、絶縁基板2の表面にポリシリコン膜を形成した後、ポリシリコン膜をフォトリソグラフィ法によってパターンニングして、それを島状のシリコン膜10a、20a、30a、40aにする（シリコン膜形成工程）。

【0069】次に、島状のシリコン膜10a、20a、30a、40aに対して厚さが約300オングストローム～約2000オングストロームのシリコン酸化膜からなるゲート絶縁膜14、24、34、および誘電体膜44を同時に形成する（ゲート絶縁膜形成工程）。

【0070】チャネルドープを行う場合には、次に約 $1 \times 10^{11} \text{ cm}^{-2}$ のドーズ量でボロンイオン（P型不純物／第2導電型不純物）を打ち込む（チャネルドープ工程／1回目の不純物注入工程）。

【0071】次に、図7(b)に示すように、ゲート絶縁膜14、24、34および誘電体膜44の表面に、膜厚が1000オングストローム以下の薄い第1のタンタル膜8aをスパッタ形成する。

【0072】次に、図7(c)に示すように、P型の駆動回路用TFT30の形成領域を覆うとともに、後に形成するゲート電極15、25の形成予定領域を広めに覆うレジストマスク501、あるいは金属マスクを形成する（1回目のマスク形成工程）。ここで、レジストマスク501の端部と、後に形成するゲート電極15、25の端部との距離は、0.5 μm ～2 μm 程度が適している。

【0073】続いて、たとえば、リンイオン（N型不純物／第1導電型不純物）を約 $1.5 \times 10^{13} \text{ cm}^{-2}$ のド

(8)

特開2000-305107

14

導電型が反転して不純物濃度が約 $1.5 \times 10^{19} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域112、122、212、222となる。また、低濃度P型のシリコン膜40aも、導電型が反転して不純物濃度が約 $1.5 \times 10^{11} \text{ cm}^{-3}$ の高濃度N型の第1電極41となる。しかる後に、レジストマスク501を除去する。

【0075】次に、図7(d)に示すように、水蒸気を含む高湿度雰囲気中（たとえば、温度が約400℃）での熱処理により、第1のタンタル膜8a全体を酸化させることにより、下地層151、251、351、451（図6参照）を形成するためのタンタル酸化膜8bとする。その結果、第1のタンタル膜8a全体が酸化する過程でその下層にあるゲート絶縁膜14、24、34および誘電体膜44も、高湿度雰囲気中（たとえば、温度が約400℃）での熱処理を受ける。

【0076】次に、図8(a)に示すように、下地層151、251、351、451（図6参照）を形成するためのタンタル酸化膜8bの表面にタンタル電極層152、252、352、452（図6参照）を形成するための膜厚が4000オングストローム位の第2のタンタル膜8cをスパッタ形成する。この際に、スパッタガス中に窒素ガスを導入しておくことにより、第2のタンタル膜8cについては窒素含有のタンタル膜として形成する。

【0077】次に、図8(b)に示すように、ゲート電極15、25、35および第2電極45を形成すべき領域をレジストマスク505で覆い、第2のタンタル膜8cおよびタンタル酸化膜8bにエッチングを施す。

【0078】その結果、図8(c)に示すように、薄いタンタル酸化膜（下地層151、251、351、451の表面に窒素含有の薄いタンタル膜からなるタンタル電極層152、252、352、452が積層された）ゲート電極15、25、35および第2電極45が形成される（ゲート電極形成工程）。しかる後に、レジストマスク505を除去する。

【0079】次に、N型の画素用TFT10、N型の駆動回路用TFT20、および保持容量40の形成領域を覆うレジストマスク502、あるいは金属マスクを形成する（2回目のマスク形成工程）。

【0080】続いて、ボロンイオンを約 $1 \times 10^{11} \text{ cm}^{-2}$ のドーズ量でイオン注入する（3回目の不純物注入工程／低濃度第2導電型不純物注入工程）。

【0081】その結果、低濃度P型のシリコン膜30aには、ゲート電極35に対して自己整合的に不純物濃度が約 $1.1 \times 10^{19} \text{ cm}^{-3}$ の低濃度P型領域31a、32aが形成される。また、不純物注入されなかった部

15

(13. あるいは金属マスクを形成する(3回目のマスク形成工程)。

【0083】続いて、リンイオンを約 $3 \times 10^{11} \text{ cm}^{-2}$ のドーズ量でイオン注入する(4回目の不純物注入工程/低濃度第1導電型不純物注入工程)。

【0084】その結果、高濃度ソース・ドレイン領域112、122、212、222に挟まれた低濃度P型のシリコン膜10a、20aには、ゲート電極15、25に対して自己整合的に不純物濃度が約 $2.9 \times 10^{19} \text{ cm}^{-3}$ の低濃度ソース・ドレイン領域211、221が形成される。なお、不純物が注入されなかった部分がチャネル領域13、23となる。このようにして、N型の画素用TFT10、およびN型の駆動回路用TFT20を形成する。しかる後に、レジストマスク503を除去する。

【0085】次に、図8(e)に示すように、N型の画素用TFT10、N型の駆動回路用TFT20、および保持容量40の形成領域を覆うとともに、ゲート電極35を広めに覆うレジストマスク504、あるいは金属マスクを形成する(4回目のマスク形成工程)。ここで、レジストマスク504の端部と、ゲート電極35の端部との距離は、 $0.5 \mu\text{m} \sim 2 \mu\text{m}$ 程度が適している。

【0086】続いて、ボロンイオンを約 $1 \times 10^{11} \text{ cm}^{-2}$ のドーズ量でイオン注入する(5回目の不純物注入工程/高濃度第2導電型不純物注入工程)。

【0087】その結果、低濃度P型領域31a、32aには、不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域312、322が形成される。また、低濃度P型領域31a、32aのうち、レジストマスク504で覆われていた部分は、そのまま不純物濃度が約 $1.1 \times 10^{19} \text{ cm}^{-3}$ の低濃度ソース・ドレイン領域311、321となる。

【0088】このようにして、P型の駆動回路用TFT30を形成する。しかる後に、レジストマスク504を除去する。

【0089】以降、図6に示すように、層間絶縁膜4を形成した後、活性化のためのアニールを行い、しかる後に、コンタクトホール51、52、53、54、55、56およびソース・ドレイン電極16、17、26、27、36、37を形成すれば、レジストマスク501～504を形成するための4回のマスク形成工程と、5回の不純物注入工程によって、アクティブマトリクス基板1を製造できる。

【0090】このように、本形態のアクティブマトリクス基板1の製造方法では、タンタル電極層152、25

(9)

特開2000-305107

16

酸化させることによりタンタル酸化膜8bを形成する。従って、第1のタンタル膜8aをスパッタ形成すればよいので、RFスパッタ法を用いなくとも、DCスパッタ法で対応できる。また、タンタル膜を形成するのであれば、反応性スパッタ法によりタンタル酸化膜を直接形成するときの成膜速度に比してかなり大であるので、生産性が向上するという利点がある。また、ゲート電極15、25、35および第2電極45を形成する際には、1種類のターゲット、および1つのチャンバー(反応室)で済むという利点があるなど、実施の形態1と同様な効果を奏する。

【0091】よって、ゲート電極15、25、35、および第2電極45を形成する前に、高濃度ソース・ドレイン領域112、122、212、222を形成するための高濃度第1導電型不純物注入工程を行い、この工程を採用して、第1電極41を形成する方法を採用することにより、高濃度ソース・ドレイン領域112、121、212、222および第1電極41を別々の工程で製造する場合に比較して不純物注入工程の数を1回減らしても、信頼性の高いアクティブマトリクス基板1を製造することができる。

【0092】さらにまた、本形態では、図7(c)に示す工程において不純物を導入する際に、第1のタンタル膜8aを形成した状態で行う。従って、第1のタンタル膜8aも隔壁層になるので、半導体膜(高濃度ソース・ドレイン領域112、122、212、222、321、322)の表面に不純物が集中することを防止できる。それ故、ゲート電極15、25、35の表面に層間絶縁膜4を形成した後、コンタクトホールを形成する際に高濃度ソース・ドレイン領域112、122、212、222、321、322の表面が多少、エッチングされても、ソース・ドレイン電極16、17、26、27、36、37と高濃度ソース・ドレイン領域112、122、212、222、321、322とを小さな抵抗経路で接続することができる。

【0093】なお、本形態でも、図8(c)に示す低濃度第2導電型不純物注入工程、図8(d)に示す低濃度第1導電型不純物注入工程、および図8(e)に示す高濃度第2導電型不純物注入工程の間でその順序を入れ替えるなど、ゲート電極15、25、35、および第2電極45を形成する前に、第1電極41を形成するための高濃度第1導電型不純物注入工程を行うのであればいずれの工程順序であってもよい。また、不純物濃度についても、求めるTFT特性に応じて最適な条件に設定すればよい。

【0094】「その他の実施形態」本形態では、図5

(10)

特開2000-305107

17

18

速度の高い条件でエッチングし、しかる後にタンタル酸化膜8bを選択性の高い条件でエッチングを行い、ゲート絶縁膜14、24、34が損傷するのを防止してもよい。

【0095】なお、本例では、第1導電型をN型とし、第2導電型をP型としたが、逆にしてもよい。すなわち、画素用TFTをP型で構成してもよい。また、ここでは画素に注目して、保持容量について説明したが、本発明の適用範囲は保持容量に限らず、たとえば駆動回路において必要とされる容量素子を形成する場合や他の目的で利用される容量素子を形成する場合にも本発明を適用することができる。

【0096】【アクティブマトリクス基板の使用例】このように構成したアクティブマトリクス基板1は、図9および図10に示すようにして液晶パネルを構成する。

【0097】図9および図10はそれぞれ、液晶パネルの平面図およびそのH-H'線における断面図である。

【0098】これらの図において、液晶パネル100は、前記のアクティブマトリクス基板1と、石英基板や高耐熱ガラス基板などの透明な絶縁基板200に対向電極71およびマトリクス状に透光膜7が形成された対向基板2と、これらの基板間に封入、挟持されている液晶9とから概略構成されている。アクティブマトリクス基板1と対向基板2とはギャップ材含有のシール材を用いたシール層80によって所定の間隙を介して貼り合わされ、これらの基板間に液晶9が封入されている。シール層80には、エポキシ樹脂や各種の紫外線硬化樹脂などを用いることができる。また、ギャップ材としては、約2μm〜約10μmの無機あるいは有機質のファイバ若しくは球を用いることができる。対向基板2はアクティブマトリクス基板1よりも小さく、アクティブマトリクス基板1の周辺部分は、対向基板2の外周縁よりはみ出た状態に貼り合わされる。従って、アクティブマトリクス基板1の走直線駆動回路60およびデータ線駆動回路70は、対向基板2の外側に位置している。また、アクティブマトリクス基板1の入出力端子81も対向基板2の外側に位置しているので、入出力端子81にはフレキシブルプリント配線基板6を配線接続することができる。ここで、シール層80は部分的に途切れているので、この途切れ部分によって、液晶注入口83が構成されている。このため、対向基板2とアクティブマトリクス基板1とを貼り合わせた後、シール層80の内側領域を減圧状態にすれば、液晶注入口83から液晶9を減圧注入でき、液晶9を封入した後、液晶注入口83を封止剤82で蓋げばよい。なお、対向基板2には、シール層80の内側に表示領域を目切れさせるための減圧路4aも形

【0100】上記形態の液晶パネル100を用いて構成される電子機器（液晶表示装置）は、図11のブロック図に示すように、表示情報出力源1000、表示情報処理回路1002、表示駆動装置1004、液晶パネル1006（液晶パネル100）、クロック発生回路1008、および電源回路1010を含んで構成される。表示情報出力源1000は、ROM、R1などのメモリ、テレビ信号などを同調して出力する同調回路などを含んで構成され、クロック発生回路1008からのクロックに基づいて表示情報を処理して出力する。この表示情報出力回路1002は、たとえば増幅・極性反転回路、相帰回路、ローチーシェン回路、ガンマ補正回路、あるいはクランプ回路等を含んで構成され、液晶パネル1006を駆動する。電源回路1010は、上述の各回路に電力を供給する。

【0101】このような構成の電子機器としては、図12を参照して後述する投写型液晶表示装置（液晶プロジェクタ）、マルチメディア対応のパーソナルコンピュータ（PC）、およびエンジニアリング・ワークステーション（EWS）、ページャ、あるいは携帯電話、ワードプロセッサ、テレビ、ビューファインダ型またはモニタ直視型のビデオテープレコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、POS端末、タッチパネルなどを挙げることができる。

【0102】図12に示す投写型表示装置は、液晶パネルをライトバルブとして用いた投写型プロジェクタであり、たとえば3枚プリズム方式の光学系を用いている。図12において、液晶プロジェクタ1100では、白色光線のランプユニット1102から出射された投写光がライトガイド1104の内部で、複数のミラー1106および2枚のダイクロイックミラー1108によって、R、G、Bの3原色に分離され（光分離手段）、それぞれの色の画像を表示する3枚の液晶パネル1110R、1110G、1110Bに導かれる。そして、それぞれの液晶パネル1110R、1110G、1110Bによって変調された光は、ダイクロイックプリズム1112（光合成手段）に3方向から入射される。ダイクロイックプリズム1112では、レッドRおよびブルーBの光が90°曲げられ、グリーンGの光は直進するので、各色の光が合成され、投写レンズ1114を通してスクリーンなどにカラー画像が投写される。

【0103】

【発明の効果】以上のとおり、本発明では、ゲート絶縁膜および誘電体膜の表面に第1のタンタル膜を形成した後、該第1のタンタル膜を酸化させることによりタンタ

ル酸化物膜からなる下地層を形成し、しかる後に下地層の

19

タル酸化膜からなる下地層を形成するので、ゲート電極を形成する際に1種類のターゲット、および1つのチャンバー（反応室）で済むという利点がある。また、第1のタンタル膜に対する酸化を高湿度雰囲気中での熱処理により行うことにより、ゲート絶縁膜および誘電体膜を介して半導体膜に不純物を打ち込んだ際の欠陥が誘電体膜に生成されても、ゲート絶縁膜および誘電体膜の欠陥も同時に修復できる。

【図面の簡単な説明】

【図1】本発明を適用した液晶表示装置用のアクティブマトリクス基板の構成を示すブロック図である。

【図2】図1に示すアクティブマトリクス基板に形成した画素領域の一部を抜き出して示す平面図である。

【図3】本発明の実施の形態1に係るアクティブマトリクス基板の断面図である。

【図4】（a）～（d）は、図3に示すアクティブマトリクス基板の製造方法を示す工程断面図である。

【図5】（a）～（e）は、図3に示すアクティブマトリクス基板の製造方法において、図4に示す工程に続いて行う工程を示す工程断面図である。

【図6】本発明の実施の形態2に係るアクティブマトリクス基板の断面図である。

【図7】（a）～（d）は、図6に示すアクティブマトリクス基板の製造方法を示す工程断面図である。

【図8】（a）～（e）は、図6に示すアクティブマトリクス基板の製造方法において、図7に示す工程に続いて行う工程を示す工程断面図である。

【図9】アクティブマトリクス基板の使用例を示す液晶パネルの平面図である。

【図10】図9に示す液晶パネルのH-H'線における断面図である。

【図11】図9に示す液晶パネルの使用例を示す液晶表示装置の回路構成を示すブロック図である。 *

(11)

特開2000-305107

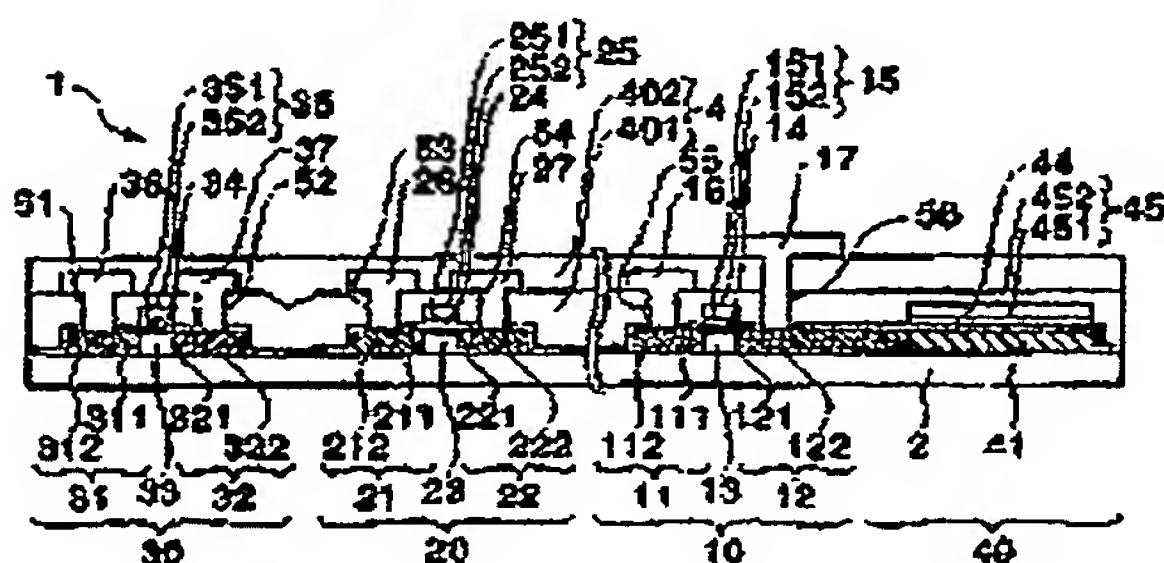
20

*【図12】図9に示す液晶パネルの使用例を示す投写型液晶表示装置の全体構成図である。

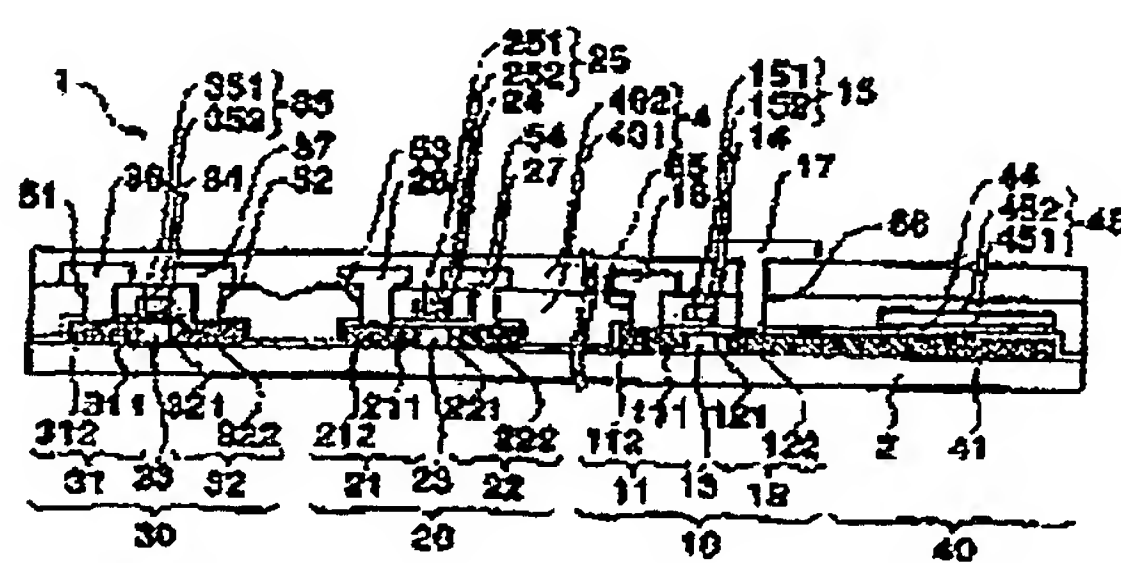
【符号の説明】

- 1 アクティブマトリクス基板（半導体装置）
- 2 対向基板
- 4 層間絶縁膜
- 8a 第1のタンタル膜
- 8b タンタル酸化膜
- 8c 第2のタンタル膜
- 10 N型の画素用TFT
- 11、12、21、22、31、32 ソース・ドレイン領域
- 13、23、33 チャンネル領域
- 14、24、34 ゲート絶縁膜
- 15、25、35 ゲート電極
- 20 N型の駆動回路用TFT
- 30 P型の駆動回路用TFT
- 40 保持容量（容量素子）
- 41 第1電極
- 44 誘電体膜
- 45 第2電極
- 51～56 コンタクトホール
- 88 容量線
- 90 データ線
- 91 走査線
- 100 液晶パネル
- 101～104、201～204、501～504、601～604 レジスタマスク
- 111、121、211、221、311、321 低濃度ソース・ドレイン領域
- 151、251、351、451 下地層（第一層）
- 152、252、352、452 タンタル電極層（第二層）

【図3】



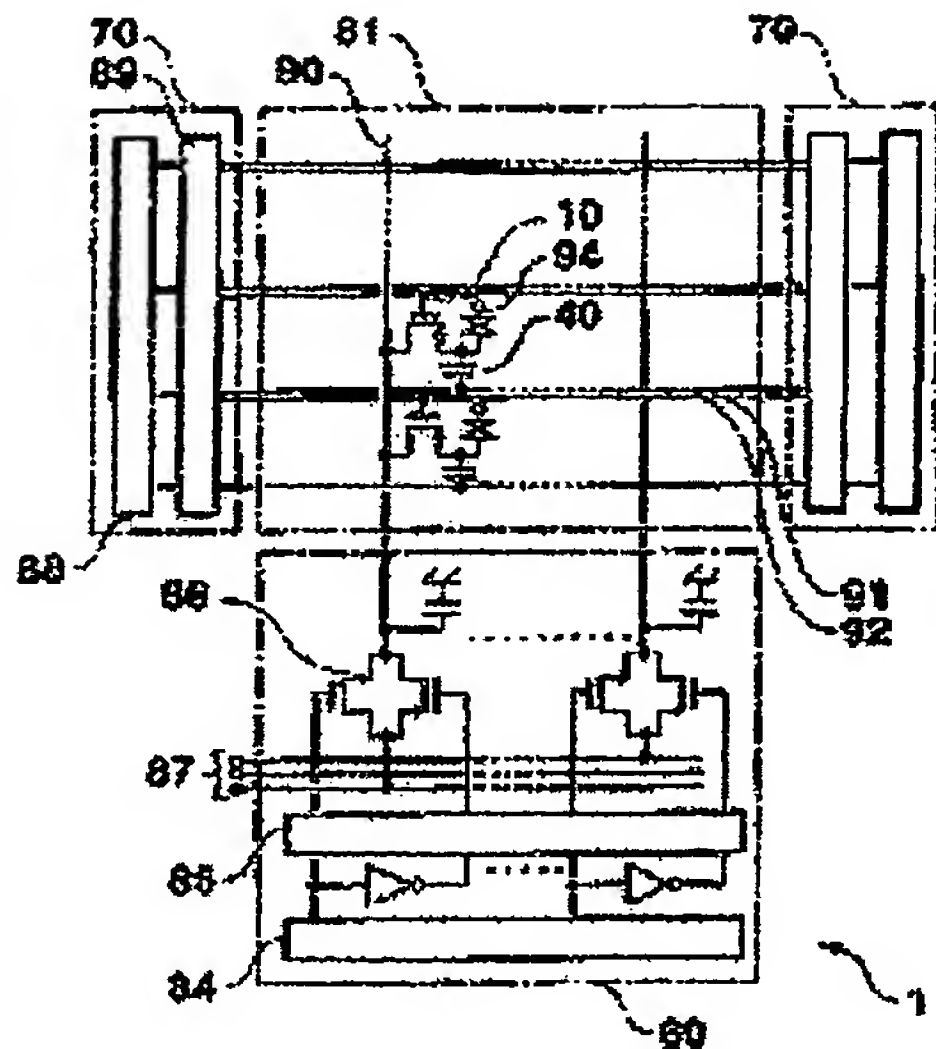
【図6】



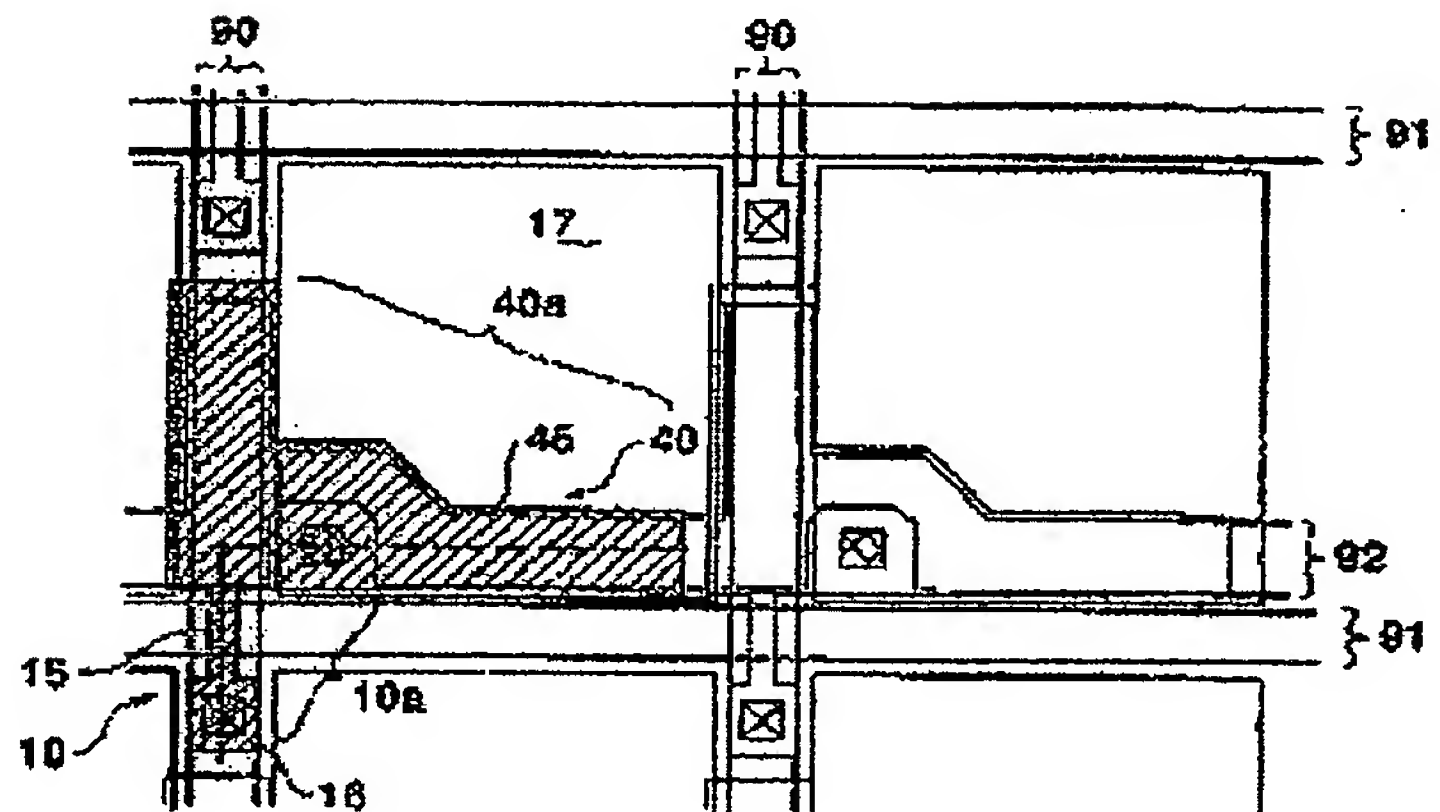
(12)

特開2000-305107

【図1】

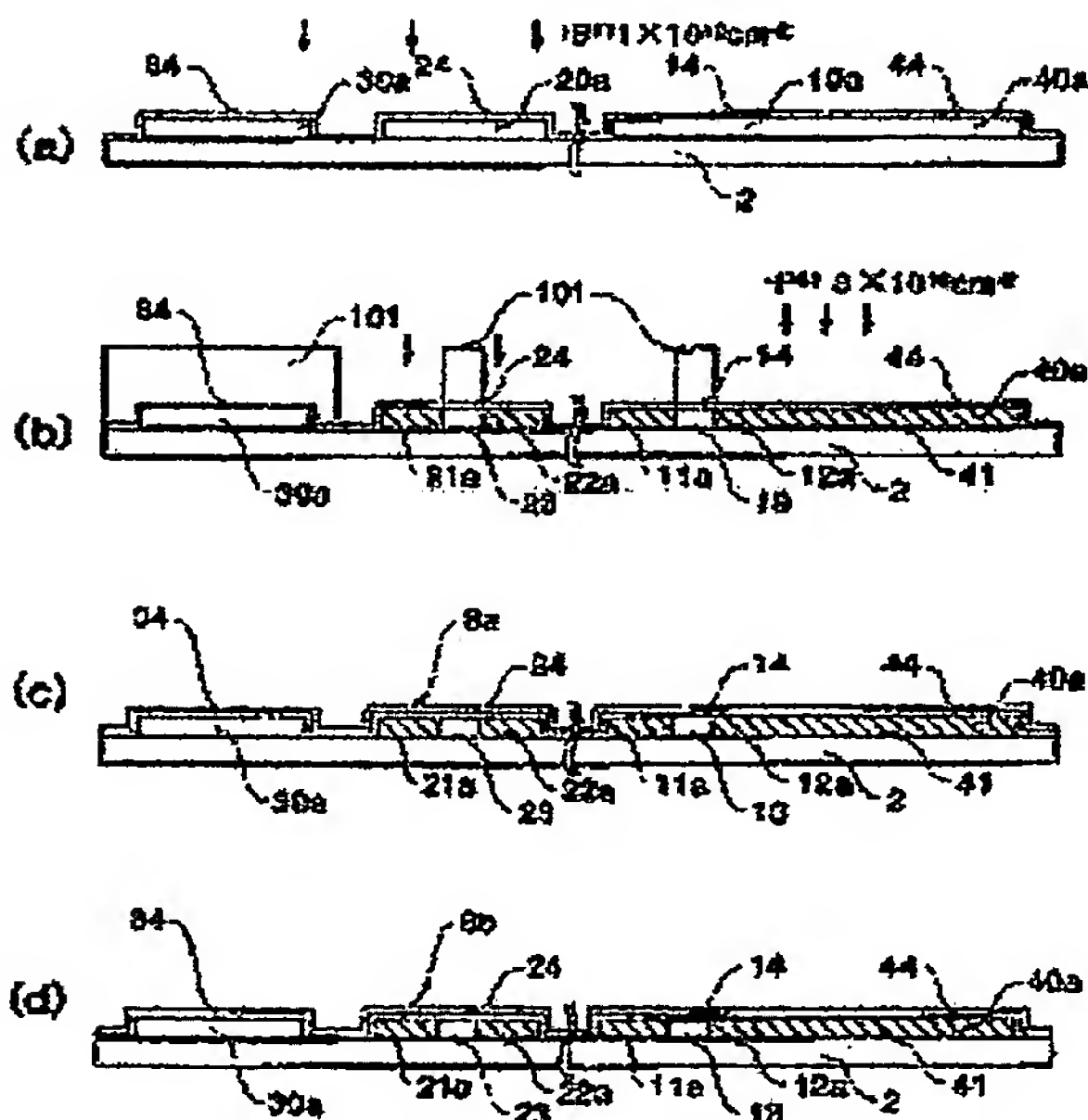


【図2】



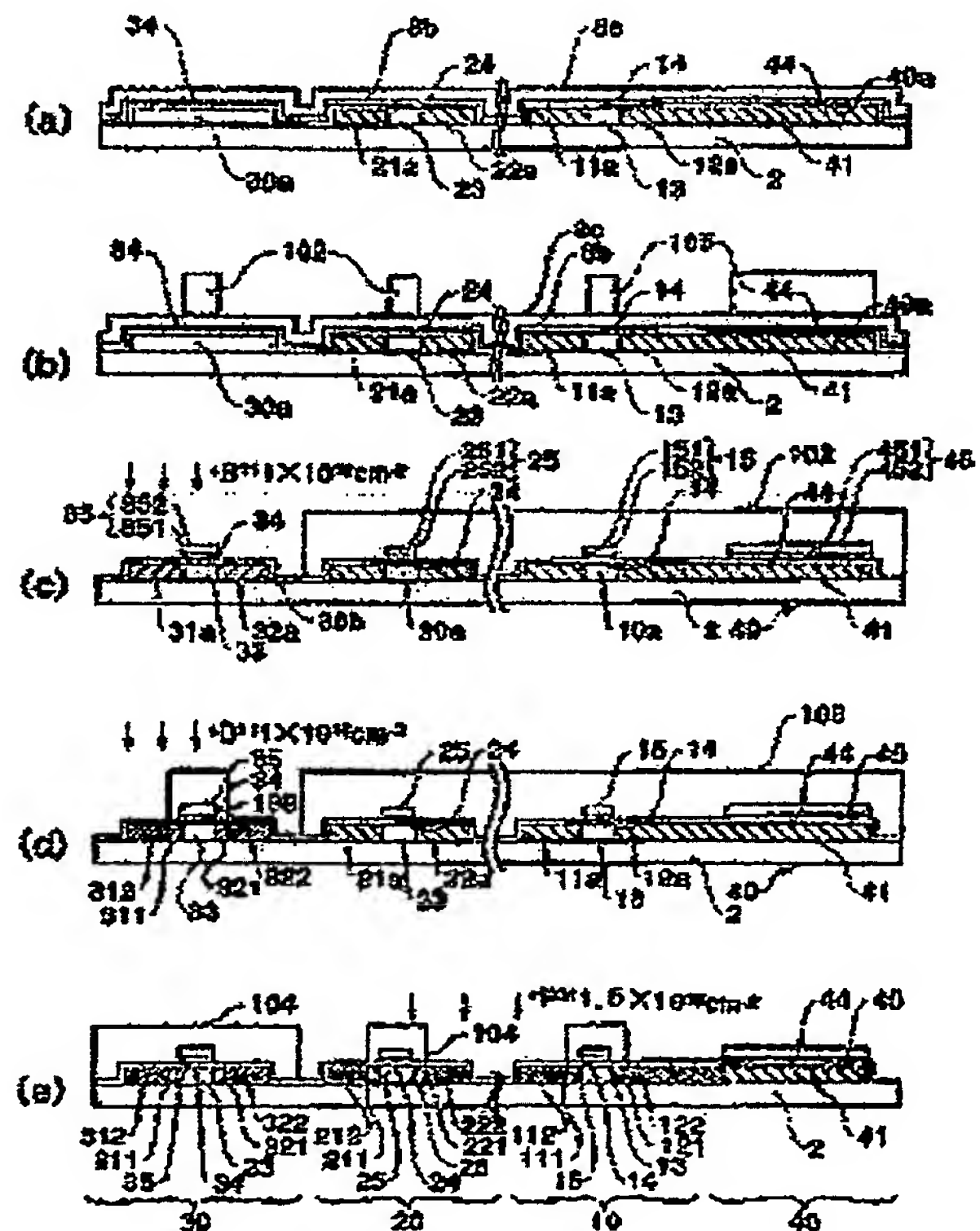
（図素平面図）

【図4】



【図10】

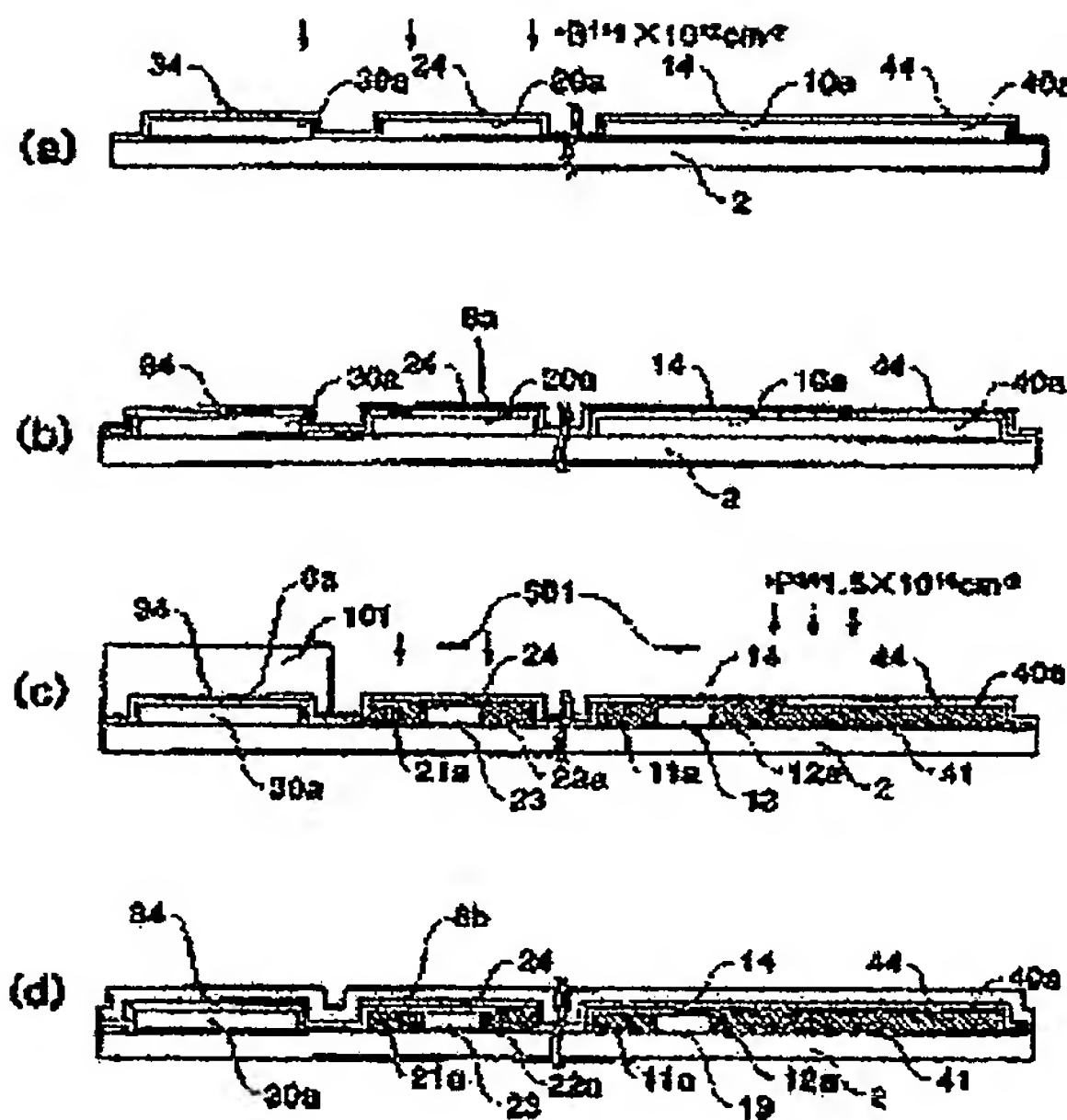
【図5】



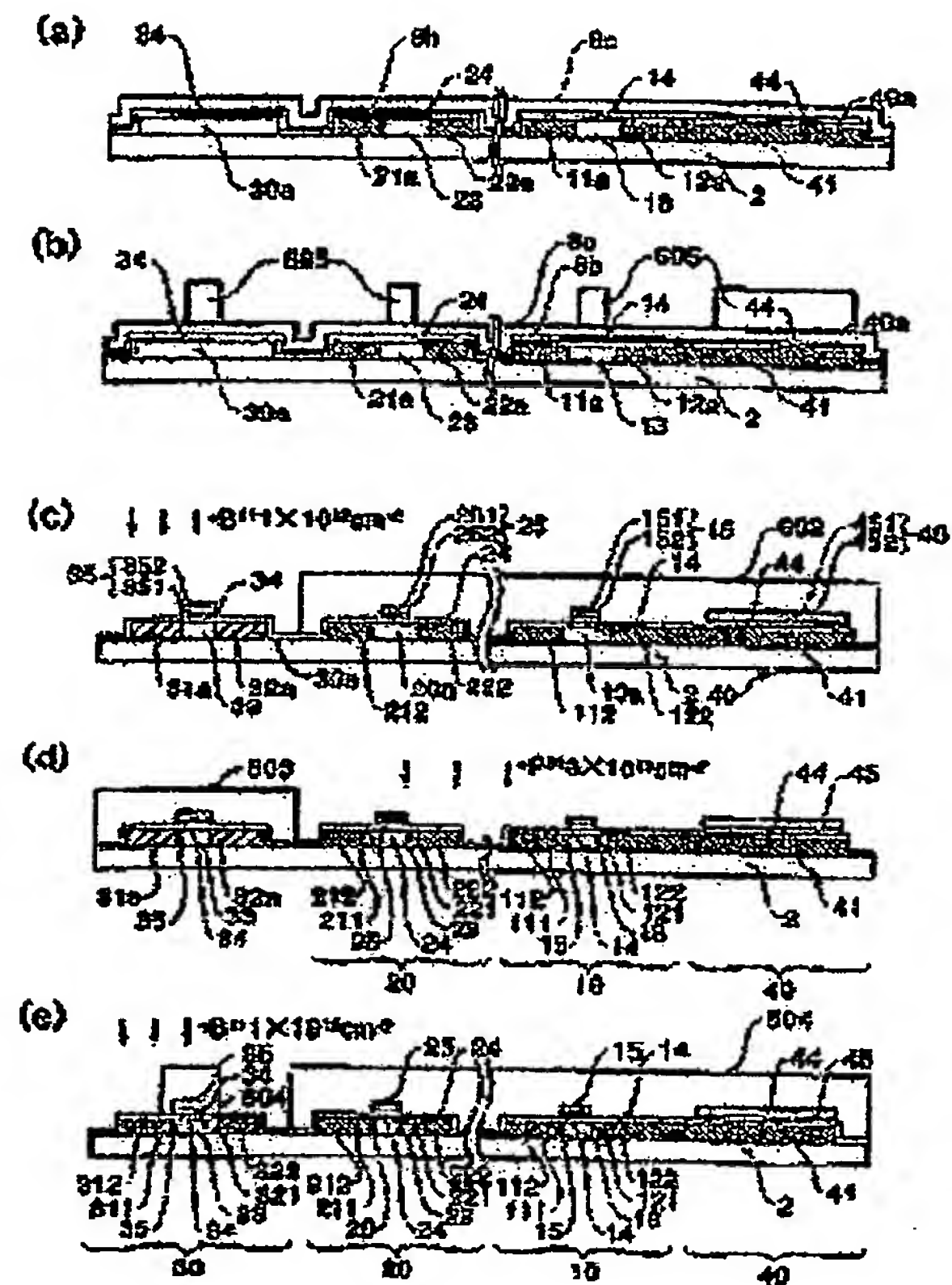
(13)

特開2000-305107

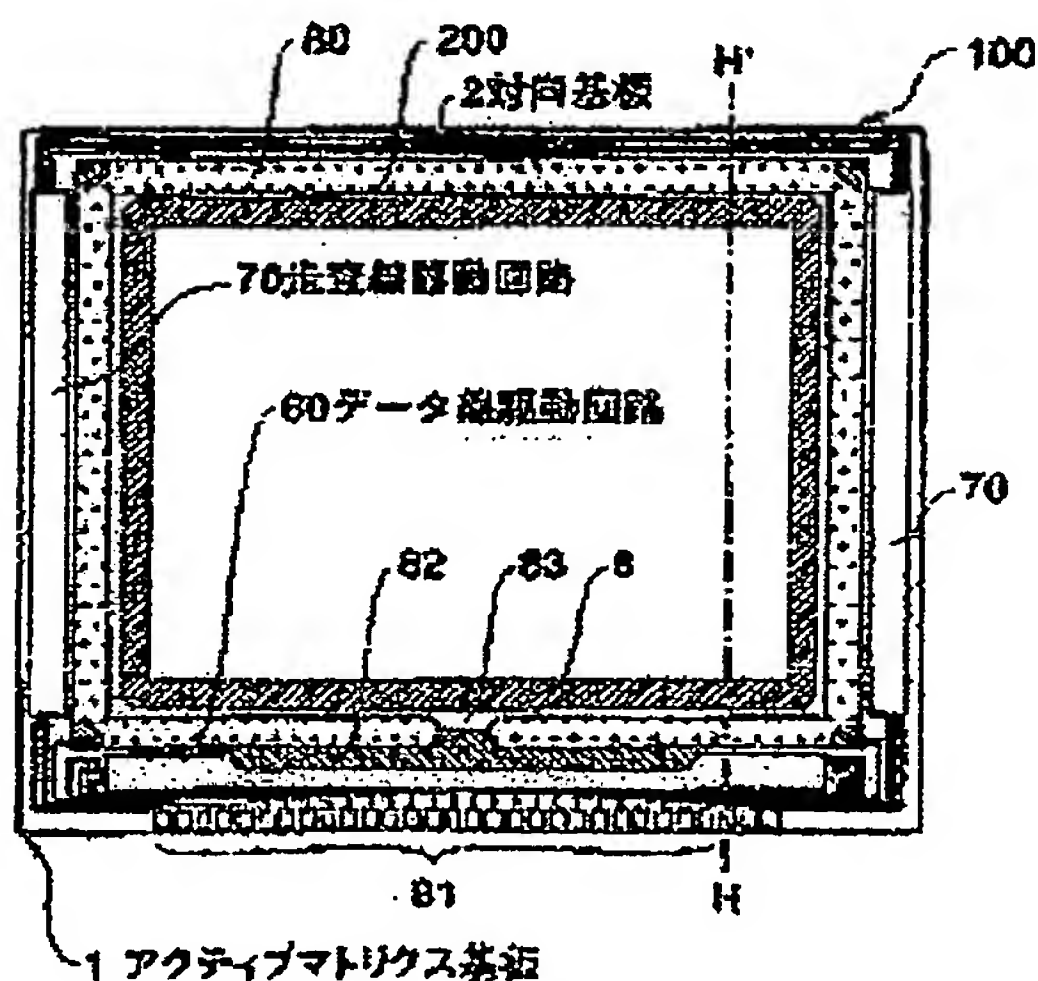
【図7】



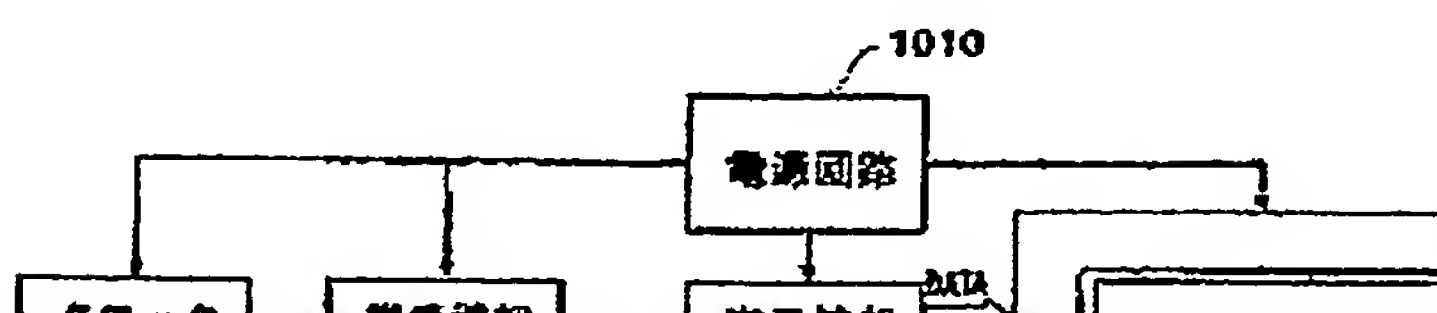
【図8】



【図9】



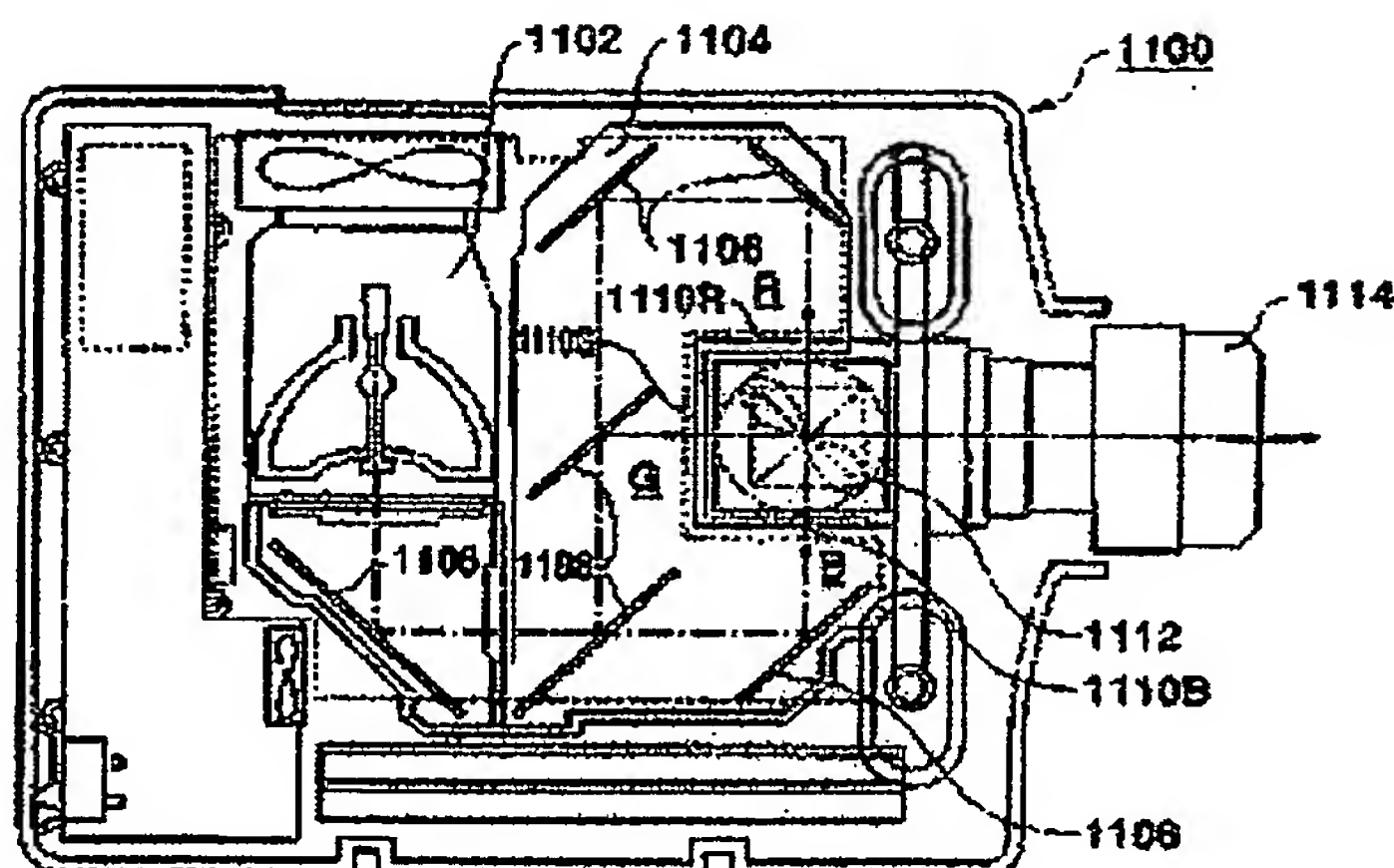
【図11】



(14)

特開2000-305107

【図12】



フロントページの続き

(51)Int.Cl.

識別記号

F I

ターム (参考)

H01L 29/78

617M

617U

F ターム (参考) 2H092 GA59 JA25 JA29 JA35 JA36

JA38 JA42 JA44 JB13 JB23

JB32 JB33 JB38 JB51 JB57

JB63 JB69 KA04 KA07 KA12

KA16 KA18 KB23 KB24 KA05

MA08 MA14 MA15 MA16 MA18

MA19 MA20 MA25 MA27 MA30

MA35 MA37 MA41 MA25 MA27

PA06 RA05

5C094 AA32 AA42 BA03 BA43 CA19

DA09 DA13 DA15 EA04

5F110 AA03 AA06 AA08 AA30 BB02

BB04 CC02 DD02 DD03 EE01

EE44 FF01 FF02 FF09 FF23

FF28 FF29 FF30 FF36 GG02

GG13 GG32 GG34 GG44 GG45

GG52 HJ01 HJ04 HJ13 HJ23

HM14 HM15 NN03 NN72 PP03

QQ11

5G435 AA17 BB12 EE37 HM16 KK05

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.